

METHOD OF FORMING EXTREMELY SHALLOW PN JUNCTION IN SEMICONDUCTOR SUBSTRATE

Patent number: JP2002151431

Publication date: 2002-05-24

Inventor: KAGAWA KAZUHIRO; MATSUNO AKIRA;
KUROSAWA TOSHITAKA; NIRE TAKASHI

Applicant: KOMATSU MFG CO LTD

Classification:

- international: **H01L29/78; H01L21/265; H01L21/8238;
H01L27/092; H01L29/66; H01L21/02;
H01L21/70; H01L27/085; (IPC1-7):
H01L21/265; H01L21/8238; H01L27/092;
H01L29/78**

- european:

Application number: JP20000349131 20001116

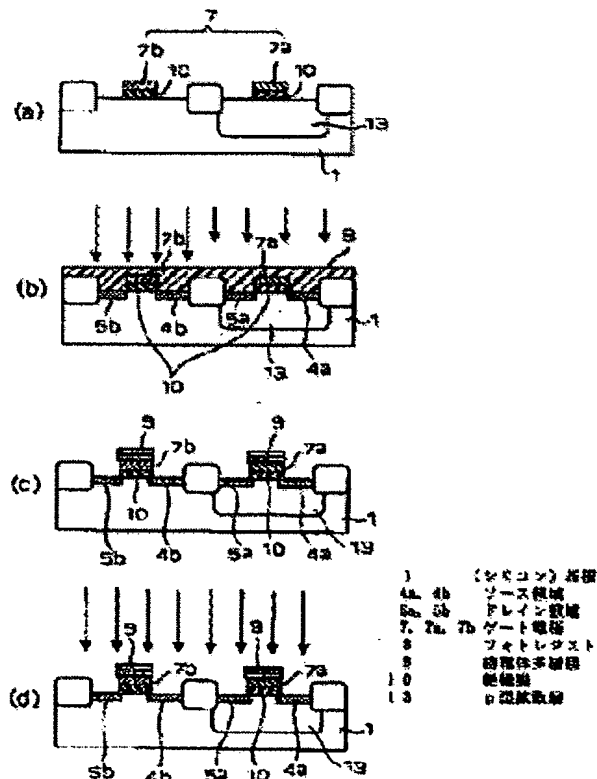
Priority number(s): JP20000349131 20001116

Report a data error here

Abstract of JP2002151431

PROBLEM TO BE SOLVED: To provide a method of forming an extremely shallow junction which allows no damage on the surface of an electrode due to laser irradiation and also allows an easy control of laser irradiation conditions during annealing, even if excimer laser suitable for annealing is used and metal such as Al which has a low melting point than that of a substrate material, and has a small specific resistance is used when forming a pn junction in a shallow region of a substrate which has a large light absorption factor for short wavelengths. **SOLUTION:** An acceleration voltage is selected, and impurity ions are implanted in a depth of 40 nm or lower into an impurity doping region (4 and 5) on a semiconductor substrate (1) by ion implantation. Thereafter, on the surfaces of the electrodes (7) preliminarily formed on the semiconductor substrate, a reflection film (9) for reflecting ultraviolet light having a wavelength of 300 nm or shorter is formed. Then, by radiating laser light having a wavelength of 300 nm or shorter on the impurity doping

本発明の第1実施例であるイオン注入とアニーリング処理時の断面図



region (4 and 5) to recrystallize the impurity doping region (4 and 5) and electrically activate the impurities. In the laser radiation process, laser beams are reflected on the surfaces of the electrodes and are not absorbed by the electrodes, resulting in preventing the damage of the surfaces of the electrodes and causing no change in electric characteristics.

Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-151431

(P2002-151431A)

(43) 公開日 平成14年5月24日 (2002.5.24)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H 0 1 L 21/265	6 0 2	H 0 1 L 21/265	6 0 2 C 5 F 0 4 0
21/8238		27/08	6 0 2 B 5 F 0 4 8
27/092		29/78	3 2 1 E
29/78			3 0 1 F

審査請求 未請求 請求項の数 2 O L (全 8 頁)

(21) 出願番号 特願2000-349131(P2000-349131)

(22) 出願日 平成12年11月16日 (2000.11.16)

(71) 出願人 000001236

株式会社小松製作所

東京都港区赤坂二丁目3番6号

(72) 発明者 香川 和宏

神奈川県平塚市万田1200 株式会社小松製作所研究本部内

(72) 発明者 松野 明

神奈川県平塚市万田1200 株式会社小松製作所研究本部内

(74) 代理人 100091948

弁理士 野口 武男

最終頁に続く

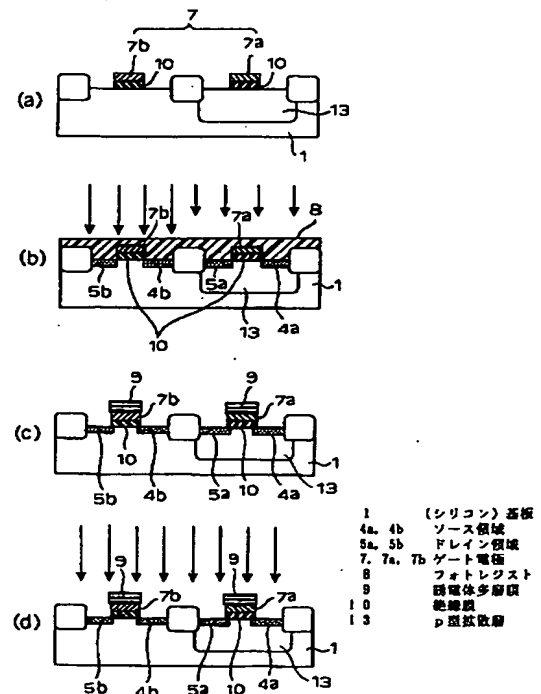
(54) 【発明の名称】 半導体基板の極浅 p n 接合の形成方法

(57) 【要約】

【課題】 短波長による光吸収係数が大きい基板の浅い領域に p n 接合を形成するにあたって、アニーリングに好適なエキシマレーザを用いて、基板材料よりも低融点で且つ比抵抗が小さい Al のような金属を電極に適用しても、電極表面にレーザ照射による損傷が発生せず、アニーリング時のレーザの照射条件の制御が容易な極浅接合の形成方法を提供する。

【解決手段】 加速電圧を選択して、イオン注入法により半導体基板 (1) 上の不純物注入領域 (4, 5) に不純物イオンを 40 nm 以下の深さに注入したのち、半導体基板上に予め形成された各種の電極 (7) の表面に波長が 300 nm 以下の紫外光に対する反射膜 (9) を形成する。次いで、前記不純物注入領域 (4, 5) に波長が 300 nm 以下のレーザ光を照射して、同注入領域 (4, 5) の再結晶化及び不純物の電気的活性化を行う。このときのレーザ照射によっても、レーザビームは電極表面で反射し、電極に吸収されないため、電極表面が損傷を受けず、電気的特性に変化が生じない。

本発明の第 1 実施例であるイオン注入時とアニーリング処理時の説明図



【特許請求の範囲】

【請求項1】 半導体集積回路の浅いpn接合を形成する方法であって、

イオン注入法により半導体基板上の不純物注入領域に不純物イオンを注入すること、

半導体基板上に予め形成された各種の電極の表面に波長が300nm以下の紫外光に対する反射膜を形成すること、

前記不純物注入領域に波長が300nm以下のレーザ光を照射して、同注入領域の再結晶化及び不純物の電気的活性化を行うこと、とを備えてなることを特徴とする半導体基板に対する極浅pn接合の形成方法。

【請求項2】 前記電極を金属膜により形成することを特徴とする請求項1記載の極浅pn接合の形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、p型半導体及びn型半導体などのpn接合深さが40nm以下となる極めて浅い接合の形成方法に関する。

【0002】

【従来の技術】 近年の半導体装置における大容量化は著しい。これは、リソグラフィ技術等の平面的な微細加工技術の進歩に負うところが大きい。しかし、大容量化を実現するには、平面的な微細加工技術とともに、比例縮小則に従った浅い深さで接合を形成することが望ましい。この接合深さが浅く形成できれば、短チャネル効果も抑制できるため望ましいが、同時に抵抗は大きくなり高速化の妨げとなる。従って、極めて浅い接合の形成技術では、接合を浅く形成すると同時に、抵抗を小さくする必要がある。こうした要求を満足しようとする、例えば特開昭57-34332号公報や特開平3-163822号公報等に開示されたような浅い接合の形成技術が提案されている。

【0003】 特開昭57-34332号公報によると、シリコン基板に酸素、窒素、炭素などの電気的不活性不純物イオン所望の浅い接合直下の深さ方向位置に加速電圧を選択して高濃度イオン注入し、熱工程による拡散の少ない絶縁層を形成する。この絶縁層を形成したのち、通常の半導体製造工程に準拠して、イオン注入法により活性不純物イオンを注入し、所定の高温熱処理工程を経てソース、ドレインを形成する。この熱処理としては、電子ビーム又はレーザビームのウェハ照射により行ってもよい。このレーザビームに関する具体的な記載はない。

【0004】 具体的には、シリコン基板に120KeVの加速電圧をもって $5 \times 10^{17} \sim 1 \times 10^{18} / \text{cm}^2$ のドーズ量の電気的不活性原子である窒素を、深さがほぼ0.2 μm の領域にイオン注入する。次いで、ソース、ドレインへイオン注入法によりpチャネルトランジスタを形成するにはボロンを、nチャネルトランジスタを形

成するには燐あるいは砒素をイオン注入したのち、850～1150℃の高温熱処理を行い、窒素イオン注入時及び不純物イオン注入時にシリコン基板に生じた欠陥の回復と注入不純物の電気的活性化を行うことを開示している。

【0005】 この方法により、従来法では困難であった極めて浅い0.2 μm の接合形成が可能となった。また窒素イオン注入時の加速電圧を下げることにより、更に浅い接合形成も可能であるため、拡散層と基板間の電気容量が抵減でき、半導体装置の高速化が可能となるばかりでなく、深い領域でのパンチスルーが防止できる。

【0006】 一方、上記特開平3-163822号公報では、砒素(As)のようなn型の不純物に比べて拡散定数大きいBやBF₂のようなp型の不純物を注入して、0.35 μm 以下の短チャネルMOSFETのような浅い接合を形成しようとする場合に、不純物注入領域の電気的活性化をはかるために必要なパワーを有するランプアニールによっても、拡散を避けるため2秒程度の短時間の処理しかできず、再結晶化や活性化のために必要なエネルギーが投入できず、アニーリングの安定性に欠けるおそれが多い。

【0007】 また、不純物イオンの注入後に、例えばNd-YAGレーザや、XeClのエキシマレーザのような短波長のパルスレーザを用いてイオン注入による欠陥の除去と不純物領域の電気的活性化をはかるためアニーリングする場合には、半導体基板を熔融させてしまい、特に浅い接合では液相から固相に変化するとき欠陥が発生しやすく、表面の平坦化も損なわれてしまうおそれがあった。

【0008】 これらの点を改善すべく、半導体基板上に不純物イオンをイオン注入し、その後550～600℃の低温で熱処理してイオン注入による欠陥を回復させたのちに、回復した領域の融点以内の高温でエキシマレーザ照射を行って不純物注入領域の活性化をはかる試みがなされている。エキシマレーザの照射による半導体基板中への熱の分布は高々400Å程度であるから、高濃度であって欠陥が少なくかつ極めて浅い接合形成ができ、またレーザ照射のパワーが熔融温度以内であるから表面の平坦性が保持される。このときのレーザ照射のパワーは、再結晶化した不純物注入領域の融点である1410℃以内に設定している。予め低温でアニーリングを行い不純物領域を再結晶化しているため高融点となり、アニール条件が緩和されて、熔融しない温度でアニーリングできるため、表面の平坦性が保障される。

【0009】 ところで、上述のアニーリング時におけるレーザ照射による投入パワーは極めて高い。他方で、従来からゲート電極にはシリコン絶縁膜との界面安定性に優れたポリシリコンが広く使われてきたが、低電力化を実現して消費電力を抑えるため、シリコン基板の融点を上回る融点を有する高融点金属又は準金属シリサイド

(TiSi_2 , WSi_2 , MoSi_2 , CoSi_2 など) の導入による低抵抗化が図られてきている。しかしながら、こうした高融点の金属又は準金属シリサイドの比抵抗は、 Cu や Al と比較すると、 $13 \sim 130 \times 10^{-6} \Omega \text{cm}$ と相変わらず大きい。最近では比抵抗の小さい Cu や Al を導入しようとしている。

【0010】また、更にゲート絶縁膜に高誘電体薄膜を使用するようになると、ゲート電極の空乏化が無視できなくなる。このためゲート電極に金属を使用するが、 p 型、 n 型で別々の仕事関数をもった2種類の金属を使用することが不可欠となる。この2種類の金属は当然融点などの物性値が異なる。

【0011】

【発明が解決しようとする課題】しかして、上記特開昭57-34332号公報によれば、不純物注入領域に不純物を投入したのちの加熱処理（アニーリング）をレーザー照射により行うとの開示はあるものの、レーザーの種類や照射条件が全く開示されておらず、仮にアニーリングを一般のレーザー照射により行おうとすると、基板表面を熔融変形させるか、或いはアニーリング不良を招きかねない。

【0012】一方、上記特開平3-163822号公報によると、レーザー照射による高温下のアニーリングによる基板表面の熔融変形を避けると共にアニール時間を短くすることを目的として、不純物イオンの注入後に550～600℃の低温度でアニーリングを行ったのち、改めてエキシマレーザをシリコンの融点である1410℃以内の高温で照射して欠陥の少ない浅い接合を形成しようとするものである。

【0013】このように、通常の加熱手段による低温下とエキシマレーザの照射による高温下での2段アニーリングにより、基板のレーザー照射領域の熔融変形をもたらすことなく、短時間でアニーリングが可能となる。

【0014】ところで、ゲート電極は、ラインルールが短くなるに従い、薄膜化が進んでいる。ゲート絶縁膜の薄膜化は、従来使用されてきたポリシリコンゲートのゲート電圧印加による空乏層の存在が大きな問題になることを意味する。今までは、空乏層があってもゲート絶縁膜厚さ (SiO_2 換算膜厚) が厚い場合には問題にならなかったが、ゲート絶縁膜の厚さが薄くなると問題になってくる。

【0015】この問題を解決するために、ゲート電極に金属電極を使用する必要がある。金属電極を使用すると、ゲート電極が全く空乏化しくなるため、非常に効果的である。しかしながら、 n チャンネル型MOSトランジスタと p チャンネル型MOSトランジスタに別々の仕事関数をもつ金属電極を用意する必要がある。すなわち、 n チャンネル型MOSトランジスタと p チャンネル型MOSトランジスタで、異種の金属電極を用意する必要がある。この異種金属ゲート電極のどちらにもダメー

ジや熔融などが起きない条件を不純物領域のアニール時に設定する必要がある。

【0016】また、更にメタルゲート電極の場合、2種類の金属を使用するため、その2種類の金属、或いはそれ以上の異なる金属の全てについて適正なエネルギー条件をもってエキシマレーザによりアニールすることは困難である。

【0017】本発明は、かかる課題を解決すべくなされたものであり、具体的にはエキシマレーザ照射による高温アニール下にあっても、シリコンよりも融点の低い Al のような金属をゲート電極材料として採用することができ、また異種金属ゲート電極の場合でも不純物領域のアニーリングがゲート電極へのダメージや熔融などなく行える。すなわち、ゲート電極へのダメージや熔融などなくできる極浅接合の形成方法を提供することにある。

【0018】

【課題を解決するための手段及び作用効果】請求項1に係る発明は、半導体集積回路の浅い $p-n$ 接合を形成する方法であって、イオン注入法により半導体基板上の不純物注入領域に不純物イオンを注入すること、半導体基板上に予め形成された各種の電極の表面に波長が300nm以下の紫外光に対する反射膜を形成すること、及び前記不純物注入領域に波長が300nm以下のレーザー光を照射して、同注入領域の再結晶化及び不純物の電気的活性化を行うことを備えてなることを特徴とする半導体基板に対する極浅 $p-n$ 接合の形成方法にある。

【0019】本発明にあつては、電気的に活性な不純物が基板の不純物注入領域にイオン注入法により注入されるとき生じる同領域内の結晶の損傷を再結晶化すると共に、不純物の拡散を可能な限り少なくしながら不純物を電気的に活性化させるために、波長が300nm以下のレーザー光を照射して加熱処理、いわゆるアニーリングを行っている。このアニーリングにあたって、レーザー光の照射により基板に損傷を与えない場合であっても、各種電極の材質によっては、前記レーザー照射時の基板表面に投入されるエネルギー密度の値により表面が荒れたり、変形することがある。

【0020】例えば、次世代の電極材料として期待のかかる Al などの金属は、シリコンの融点よりも低い。ため、前記アニーリング時に必要な投入エネルギー密度のレーザー照射により電極表面が荒れたり熔融変形する。

【0021】本発明によれば、上述のごとく電極表面に波長が300nm以下の紫外光に対する反射膜を形成しているため、例えば波長が300nm以下のレーザー光を照射しても電極表面の反射膜にて反射し、電極には吸収されず、電極表面が荒れたり熔融変形したりすることがなく、電気的特性が変化することもない。

【0022】請求項2に係る発明は、前記ゲート電極を金属膜により形成することを特徴としている。この金属材料としては、前記 Al 、 Pt などを挙げることができ

る。かかる比抵抗値の小さく、且つ融点も低い金属を上記電極に適用しても、アニーリング時の高熱に耐え得るため、ゲート電極の空乏化をなくすることができる。

【0023】

【発明の実施の形態】以下、本発明の好適な実施形態を図面を参照しながら具体的に説明する。図1は、本発明の第1実施形態を示している。この実施形態では、nチャネル型MOSトランジスタと、その負荷抵抗としてpチャネル型MOSトランジスタとからなる短チャネルCMOSFET（相補型MOSFET）を製造するときの、各トランジスタのソース領域とドレイン領域の極浅接合を形成する場合を例示している。なお、本発明はMOSトランジスタに限らずバイポーラトランジスタの接合形成にも当然に適用が可能である。

【0024】本発明によれば、例えばSiO₂のごとき絶縁膜を介して予め形成されたゲート電極7を挟んだソース領域4及びドレイン領域5には、通常のイオン注入法により電気的活性不純物イオンが40nm以内の深さに注入されている。ここで、フォトレジストが塗布され、ゲート電極7を除いた部分が露光されたのち、ゲート電極7の表面に塗布されたレジストが除去される。次いで、MBE法（分子線エピタキシャル成長法）やMOCVD法（有機金属気相エピタキシャル成長法）などの成膜技術により、ゲート電極7の表面に誘電体多層膜9が形成される。この誘電体多層膜9は、後のアニーリング処理時において照射されるエキシマレーザのビームを反射させるか、或いは反射を増加させる機能を有すると共に電気的絶縁性を備えており、TiO₂などの誘電体が材料として用いられる。

【0025】以下、短チャネルCMOSFET（相補型MOSFET）のソース／ドレイン領域の極浅接合を形成するときの、本実施形態を図1に基づいて具体的に説明する。n型シリコン基板1のn型チャネルトランジスタ形成領域に、予めp型拡散層13を深く形成する。このときのp型拡散層13の形成は、加速電圧を選択して、通常のイオン注入法によりn型不純物であるP（磷）イオンが注入される。次いで、図1（a）に示すように、n型チャネルトランジスタ形成領域の前記p型拡散層13の中央部表面に絶縁膜10を介してAlなどの金属材料からなるゲート電極7aを形成するとともに、p型チャネルトランジスタ形成領域の中央部表面に絶縁膜10を介して、例えばPtなどの異なる金属材料からなるゲート電極7bを形成する。

【0026】異種金属からなるゲート電極7a、7bを形成したのち、同図（b）に示すように、p型チャネルトランジスタ形成領域のゲート7bを挟んだソース領域4b及びドレイン領域5bに、イオン注入法によりB（ホウ素）イオンを20nm以内の深さに注入する。また、n型チャネルトランジスタ形成領域には、先に形成されたp型拡散層のゲート電極7aを挟んだソース領域

4a及びドレイン領域5aの深さ20nm以内に、それぞれイオン注入法により砒素イオンが、上述の第1実施形態と同様に注入される。このときのイオン注入深さは加速電圧の選択により決まり、本実施形態では12～17keVの加速電圧を選択した。

【0027】これらのイオン注入が終了した時点で、同図（b）に示すようにp型及びn型チャネルトランジスタ形成領域にフォトレジスト8が塗布される。フォトレジスト8が塗布されたのち、ベーキング等がなされてから、前記各ゲート電極7a、7bの表面のレジスト以外のレジスト部分が露光される。次いで、各ゲート電極7a、7bの表面のレジストを除去して、その各ゲート電極7a、7bの表面に、上述の成膜技術により上記誘電体多層膜9が成膜されてから、同図（c）に示すように残るレジストの全てが除去される。

【0028】本実施形態にあつては、各ゲート電極7a、7bの上面に誘電体多層膜9が成膜されると、上述の特開平3-163822号公報に開示されたアニーリング処理と同様に、予め550～600℃の低温度でアニーリングを行ったのち、同図（d）に示すようにエキシマレーザをシリコンの融点である1410℃以内の高温度で照射する。しかし、この際のレーザ照射は、レーザの安定性から1J/cm²のエネルギー密度をもってなされる。

【0029】このとき、電極材料として、例えばAlが使われたとすると、KrFエキシマレーザで1J/cm²以上のエネルギー密度をもって照射した場合には、電極表面が荒れたり、損傷を受ける。しかるに、本実施形態によれば、各ゲート電極7a、7bの表面を誘電体多層膜9により被覆しているため、その表面で反射してゲート電極7a、7bに損傷を与えることがなく、ソース領域4a、4b及びドレイン領域5a、5bの不純物に対する活性化を十分に行うことができるようになる。さらに、本実施形態において、ゲート電極7aの電極材料として、Alの他に、Zr、Ti、Ta、Moなどを用いてもよい。また、ゲート電極7bの電極材料として、Ptの他に、Ni、Ir、Mo₂N、Ta₂Nなどを用いてもよい。

【0030】このように、本発明によれば、電気的に活性不純物がシリコン基板1のソース領域4及びドレイン領域5に注入されたのちの不純物領域の再生と電気的に活性不純物の活性化のためのアニーリング処理をするにあたり、エキシマレーザによる不純物の活性化のためのエネルギー条件を設定しやすくするとともに、その制御を容易にするものである。

【0031】図2は本発明方法の第2実施形態に適用される好適な極浅接合時のアニーリング装置の概略構成を示している。同図において、符号1は単結晶p型シリコン基板を示し、このシリコン基板1はホットプレート等の通常の加熱手段を備えた基板加熱台2に載置される。

シリコン基板1の上方には図示せぬエキシマレーザ装置が設置されている。

【0032】シリコン基板1のソース領域4とドレイン領域5には、加速電圧を選択して、通常のイオン注入法によりn型不純物であるP（磷）イオンが注入される。このときのイオン注入深さは加速電圧の選択により決まり、本実施形態では0.5keVの加速電圧を選択し、 $1 \times 10^{15} / \text{cm}^2$ 程度のPイオンを20nmの深さにわたって注入した。また、ゲート電極7の表面には本発明の特徴部の一部を構成する上述の成膜技術を使って誘電体多層膜9が形成されている。

【0033】前記イオン注入を終えたシリコン基板1を基板加熱台2に載置して、イオン注入過程においてシリコン結晶に損傷を受けたソース領域4とドレイン領域5の再結晶化のために、先ず基板加熱台2を昇温させてシリコン基板1を550℃程度の低温度となるまで加熱する。この550℃の温度は、シリコン基板1に対して不純物が拡散しない程度の温度である。

【0034】シリコン基板1が550℃程度に昇温したのちも、基板加熱台2の加熱温度を制御して、550℃程度に維持させる。この状態で、例えばKrFエキシマレーザ装置3を駆動してソース領域4及びドレイン領域5を一括照射する。このときのレーザビームの波長は300nm以下に設定され、パルス幅は20ns、エネルギー密度を $0.5 \text{ J} / \text{cm}^2$ とした。かかる照射条件で、ソース領域4及びドレイン領域5に対する照射時間を10ns、20ns及び30nsと3通りに変更させたところ、1パルス幅と同一の20nsという極めて短い時間であっても、各領域4、5に要求される再結晶化と不純物の電気的活性化が得られ、満足できる結果であることが判明した。

【0035】このような短時間にて、デバイスとして要求される電気的特性が得られる理由は、本発明の特徴部の一部を構成するアニーリング処理に、通常の外部加熱とエキシマレーザの照射による加熱との併用を採用したことによる。つまり、ソース領域4とドレイン領域5とを、不純物の電気的活性化及びイオン注入時に受けた損傷の回復に必要な熱量に容易に到達すべく、シリコン基板1を前述の不純物が拡散しない程度の温度である550℃程度の低温まで予め昇温させておく。その昇温状態を維持して、光吸収係数の高い短波長からなるエキシマレーザを照射することにより、ソース領域4及びドレイン領域5内に対する必要とするレーザビームによる加熱エネルギーの供給量を極めて少なくすることを可能にする。その結果、より短い時間でアニーリングを完了させることができる。

【0036】ここで、エキシマレーザのパルス幅及びエネルギー密度は、基板の材質、基板に導入される不純物の種類及びレーザビームの波長により選択されるものであって、前記数値に限定されるものではないが、いずれ

の場合にもゲート電極7の表面に誘電体多層膜9が形成されているため、エキシマレーザ照射による同ゲート電極7の表面が荒れたり、損傷を受けることがない。

【0037】図3は、前述の第2実施形態の第1変形例を示しており、上記第1実施形態における基板加熱台2に代えて、ハロゲンランプ等からなる加熱源6が設置されている。また、図4はその第2変形例を示しており、第2実施形態における基板加熱台2と第1変形例における加熱源6とを併用している。

【0038】第1変形例によれば、加熱源6による加熱速度が速く、しかもシリコン基板1の表面から加熱するため加熱効率が高く、短時間にシリコン基板1の表面を550℃の低温下に置くことが可能となる。また、第3実施形態では、更にシリコン基板1の裏面からも加熱するため、シリコン基板1の全体が素早く550℃程度の低温度まで昇温される。

【0039】図5は、本発明の第3実施形態を示している。この実施形態によれば、イオン注入法によりシリコン基板1のソース領域4及びドレイン領域5に注入される電気的活性不純物12であるPイオンの注入深さは、あまり加速電圧の厳密な制御を要せずに、20～40nmの極浅接合を確実に形成することが可能となる。

【0040】また、この実施形態にあっても上記第1及び第2実施形態と同様に、ソース領域4及びドレイン領域5に不純物イオンが注入されたのちに、A1材料を使ったゲート電極7の表面に誘電体多層膜9が形成される。更に、アニーリング処理は上記第2実施形態と同様に、シリコン基板1を拡散を生じない550℃程度の低温度に予め昇温しておき、その温度を維持した状態で、エキシマレーザ3により短時間でアニーリング処理を完了させている。

【0041】図5において、シリコン基板1のソース領域4及びドレイン領域5に、Pイオンを注入するに先立って、先ずO（酸素）、N（窒素）或いは炭素などの電気的に不活性な不純物イオンをイオン注入する。このときの注入深さは、電気的に活性な不純物イオンと同様に、加速電圧を選択することにより任意に設定できる。本実施形態では、前記電気的に不活性な不純物イオンを40～70nmの深さ範囲内に注入する。

【0042】こうして、電気的に不活性な不純物イオンが注入されたのちに、同じくシリコン基板1のソース領域4及びドレイン領域5に電気的活性不純物11であるP（磷）イオンをイオン注入法によって、深さ40nm以下に注入する。この注入が終了すると、上述の第1実施形態と同様のアニーリング処理を行う。このアニーリング処理により、ソース領域4及びドレイン領域5の表面から40nmの深さの間にp型領域が形成され、その下に40～60nmの電気的に不活性な不純物12とシリコンの化合物である絶縁層が形成される。

【0043】電気的に不活性な不純物イオンとしてOイ

オンを注入するときの具体例について述べると、先ずリソグラフィにより素子分離を行ってゲート電極を形成したのち、n型のシリコン基板1のソース領域4及びドレイン領域5に、Oイオンをドーズ量 $1 \times 10^{18} / \text{cm}^2$ の高濃度で深さ20～50nmの範囲にイオン注入する。

【0044】次に、電気的に活性な不純物であるB（ホウ素）イオンを加速電圧15keVで深さ20nm以内の範囲に注入する。この注入が終了したのち、第1実施形態と同様に上記成膜技術を使ってゲート電極7の表面に誘電体多層膜9を形成する。次いで、シリコン基板1をランプ加熱により550℃程度の低温度に加熱して昇温させる。シリコン基板1が前記温度に達したところで、その温度を維持させながら、エキシマレーザ装置3を駆動してソース領域4及びドレイン領域5を照射する。

【0045】このときのエキシマレーザ装置1の照射条件は、シリコンの光吸収が50nm以下の波長をもち、パルス幅が20ns以下のKrFエキシマレーザが使われ、エネルギー密度を $0.3 \sim 1 \text{ J} / \text{cm}^2$ のエネルギー範囲で1パルス幅と同等の20ns照射する。このときのp型領域の深さは20nm以下であり、その下層の SiO_2 からなる絶縁層の厚さは30nm以下であった。このときのエキシマレーザによる照射時間は極めて短く、投入エネルギーも小さいため、ソース領域4及びドレイン領域5の表面にはアブレーションの痕跡もない平滑なものであった。

【0046】また、この実施形態にあつて、エキシマレーザのエネルギー密度を上述のごとく $0.3 \sim 1 \text{ J} / \text{cm}^2$ の広範囲で、ソース領域4、ドレイン領域5及びゲート電極7に向けて照射しても、融点が極めて低いAl

材料からなるゲート電極7の表面には誘電体多層膜9が形成されているため、その表面で反射し、ゲート電極7には吸収されない。そのため、ゲート電極7の表面が荒れたり、或いは熔融変形などが発生せず、製造される半導体装置の駆動速度はゲート電極7の低抵抗化と極浅接合とが相まって極めて速くなる。

【図面の簡単な説明】

【図1】本発明の第1実施例であるイオン注入時とアニーリング処理時の説明図である

【図2】本発明の第2実施例であるアニーリング処理時の説明図である。

【図3】本発明の第3実施例であるアニーリング処理時の説明図である。

【図4】本発明の第4実施例であるアニーリング処理時の説明図である。

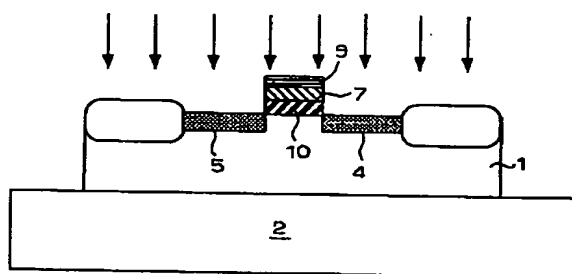
【図5】本発明の第5実施例であるイオン注入時とアニーリング処理時の説明図である。

【符号の説明】

1	(シリコン) 基板
2	基板加熱台
3	エキシマレーザ装置
4, 4 a, 4 b	ソース領域
5, 5 a, 5 b	ドレイン領域
6	加熱源
7, 7 a, 7 b	ゲート電極
8	フォトリソスト
9	誘電体多層膜
10	絶縁膜
11	電気的に活性な不純物
12	電気的に不活性な不純物
13	p型拡散層

【図2】

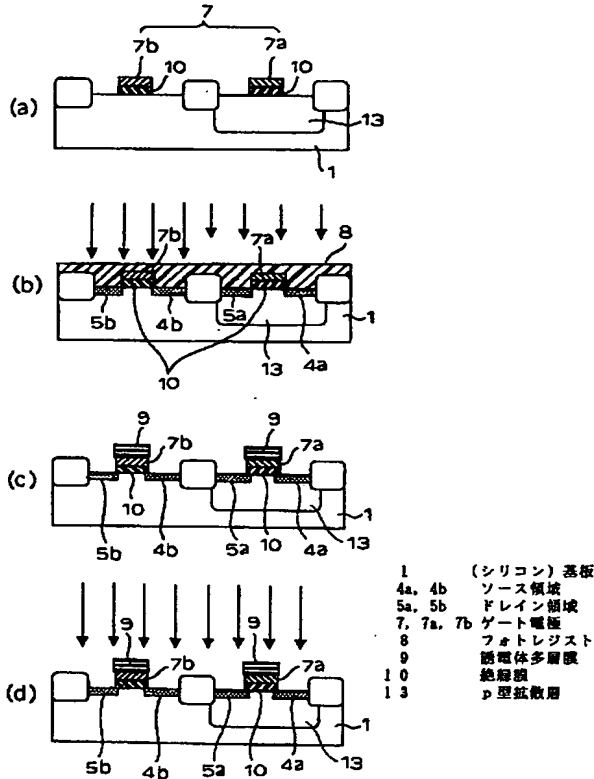
本発明の第2実施例であるアニーリング処理時の説明図



1	(シリコン) 基板
2	基板加熱台
4	ソース領域
5	ドレイン領域
6	加熱源
7	ゲート電極
9	誘電体多層膜
10	絶縁膜

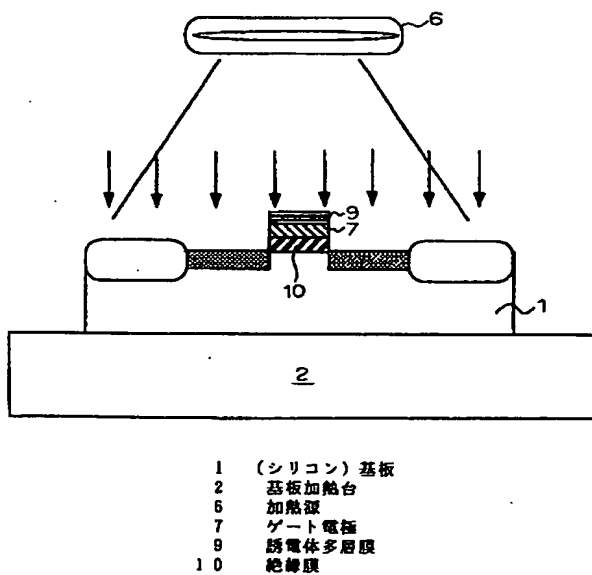
【図 1】

本発明の第 1 実施例であるイオン注入時とアニーリング処理時の説明図



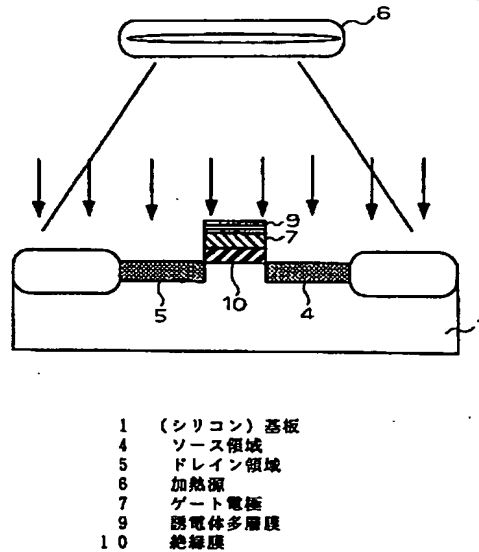
【図 4】

本発明の第 4 実施例であるアニーリング処理時の説明図



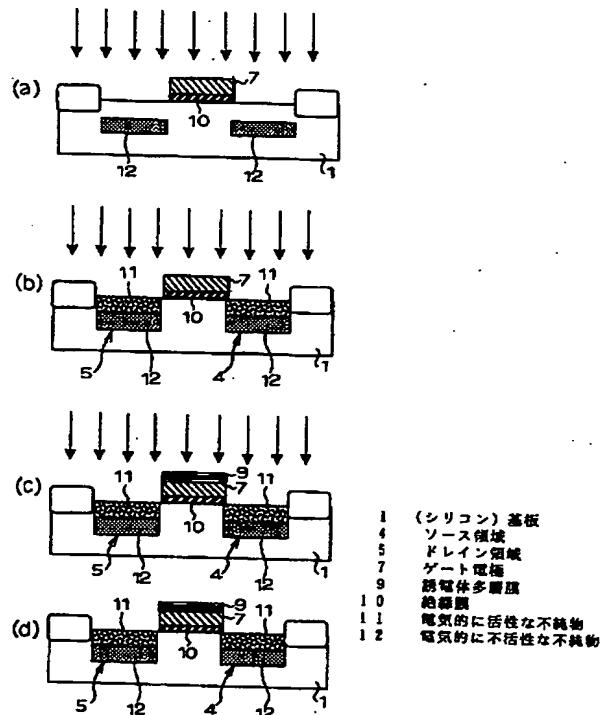
【図 3】

本発明の第 3 実施例であるアニーリング処理時の説明図



【図 5】

本発明の第 5 実施例であるイオン注入時とアニーリング処理時の説明図



フロントページの続き

(72)発明者 黒沢 利崇
神奈川県平塚市万田1200 株式会社小松製
作所研究本部内

(72)発明者 楡 孝
神奈川県平塚市万田1200 株式会社小松製
作所研究本部内

Fターム(参考) 5F040 DA01 DA13 DB03 DC01 EC08
EC10 EM04 FC11 FC15 FC18
5F048 AC03 BA01 BB10